

CIRCUITO LATCH

```

entity latch IS
    Port ( enable : in bit;
          data : in bit;
          q : out bit);
end latch;

architecture pld of latch is
begin
latch:    process (enable,data)
            begin
                if (enable='1') then
                    q<=data;
                end if;
            end process latch;
end pld;

```

DESARROLLO

Creamos el siguiente archivo de simulación

```

ENTITY testbench IS
END testbench;

ARCHITECTURE behavior OF testbench IS

    COMPONENT latch
    PORT(
        enable : IN bit;
        data : IN bit;
        q : OUT bit
    );
    END COMPONENT;

    SIGNAL enable : bit;
    SIGNAL data : bit;
    SIGNAL q : bit;

BEGIN

    uut: latch PORT MAP(
        enable => enable,
        data => data,
        q => q
    );

-- *** Test Bench - User Defined Section ***

```

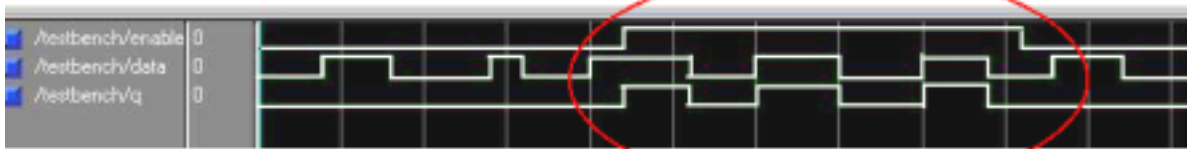
```

tb : PROCESS
BEGIN
    data<='0';
    wait for 20 ns;
    data<='1';
    wait for 20 ns;
    data<='0';
    wait for 30 ns;
    data<='1';
    wait for 10 ns;
    data<='0';
    wait for 20 ns;
    data<='1';
    wait for 30 ns;
    data<='0';
    wait for 20 ns;
    data<='1';
    wait for 25 ns;
    data<='0';
    wait for 25 ns;
    data<='1';
    wait for 20 ns;
    data<='0';
    wait for 20 ns;
    data<='1';
    wait for 20 ns;
    data<='0';
wait;
    end process;
pa: process
begin
    enable<='0';
    wait for 110 ns;
        enable<='1';
    wait for 120 ns;
        enable<='0';
        wait; -- will wait forever
    END PROCESS;
-- *** End Test Bench - User Defined Section ***

END;

```

Y obtenemos la siguiente señal



Sólo cuando el enable esta activo =1' para la señal de data hacia 'q'

señal de salida cuando el latch tiene un retardo de 15 ns

```
entity latch IS
  Port ( enable : in bit;
        data : in bit;
        q : out bit);
end latch;

architecture pld of latch is
begin
latch: process (enable,data)
  begin
    if (enable='1') then
      q<=data after 15 ns;      -- solo
                               --pequeño
                               retardo
    end if;
  end process latch;
end pld;
```

y obtenemos la siguiente gráfica



aquí vemos como las señales pasan después de un retardo de 15 ns